

CLIPPEDIMAGE= JP404177770A

PAT-NO: JP404177770A

DOCUMENT-IDENTIFIER: JP 04177770 A

TITLE: VARIABLE CAPACITANCE DIODE AND ITS MANUFACTURE

PUBN-DATE: June 24, 1992

INVENTOR-INFORMATION:

NAME

SASAKI, HISAO

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP02305382

APPL-DATE: November 9, 1990

INT-CL (IPC): H01L029/93

US-CL-CURRENT: 257/596

ABSTRACT:

PURPOSE: To reduce the contact resistance of an electrode, by shallowly forming a high concentration p-type diffusion layer for contact, on the surface of a p-type diffusion layer having a concentration profile to obtain desired characteristics.

CONSTITUTION: The following are provided; an n-type semiconductor substrate 1 of low specific resistance, an n-type epitaxial layer 2 formed thereon, and a p-type diffusion layer 5 formed in the surface region of the n-type epitaxial layer 2. The high concentration p-type diffusion layer 5 is shallowly formed in a part of the surface of the p-type diffusion layer 4

subjected to a
pushing-in process to adjust a specific capacitance value.
The high
concentration p-type diffusion layer 5 is formed as
follows; high concentration
boron ions are shallowly implanted, and impurities are
activated at a
temperature lower than the heat treatment temperature in
the preceeding
pushing-in process. Thereby the contact resistance of an
electrode, i.e., the
series resistance of an element can be lowered.

COPYRIGHT: (C)1992,JPO&Japio

⑫ 公開特許公報(A) 平4-177770

⑤ Int.Cl.⁵

H 01 L 29/93

識別記号

H

庁内整理番号

7638-4M

④ 公開 平成4年(1992)6月24日

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 可変容量ダイオードおよびその製造方法

⑯ 特 願 平2-305382

⑰ 出 願 平2(1990)11月9日

⑱ 発 明 者 佐々木 久雄 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 尾身 祐助

明 細 書

1. 発明の名称

可変容量ダイオードおよびその製造方法

2. 特許請求の範囲

(1) 第1導電型で低比抵抗の半導体基板と、前記半導体基板上に形成された低不純物濃度の第1導電型のエピタキシャル層と、前記エピタキシャルの表面領域内に形成された第2導電型の第1の拡散領域と、前記第1の拡散領域の表面に薄く形成された、前記第1の拡散領域の不純物濃度より高い不純物濃度を有する第2導電型の第2の拡散層と、を具備する可変容量ダイオード。

(2) 第1導電型で低比抵抗の半導体基板上に低不純物濃度の第1導電型のエピタキシャル層を形成する工程と、

前記エピタキシャル層の表面領域内に選択的に第2導電型の不純物を導入して第2導電型の拡散層を形成する工程と、

高温熱処理により前記拡散層を拡張せしめ該拡散層と前記半導体基板との間の接合容量を所望の値に調整する工程と、

前工程において拡張された拡散層の表面領域内に浅くかつ高濃度に第2導電型の不純物をイオン注入する工程と、

前工程でイオン注入された不純物を、前記拡散層を拡張するために行った熱処理温度より低い温度で活性化する工程と、

を備えた可変容量ダイオードの製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、可変容量ダイオードおよびその製造方法に関する。

〔従来の技術〕

第4図は、従来の可変容量ダイオードの断面図である。同図において、1はシリコンからなるn型低比抵抗半導体基板、2はn型エピタキシャル層、3はリン(P)のイオン注入と熱処理によっ

て形成されたn型拡散層、4はボロン(B)のイオン注入とその後の熱処理によって形成されたp型拡散層、6は酸化シリコン膜、7は窒化シリコン膜、8はアルミニウムからなる電極である。

上記構成において、n型拡散層3とp型拡散層4とは、この可変容量ダイオードが所望の容量、特性を備えたものとするための条件に従ってイオン注入と熱処理とが施されて形成された領域である。

第4図のB-B'線に沿った断面の不純物濃度プロファイルを第5図に示す。

〔発明が解決しようとする課題〕

上述した従来の可変容量ダイオードでは、容量値を所定の値に調整するための熱処理が施されるために、p型拡散層4の表面の不純物濃度が接合形成直後の 10^{20}cm^{-3} 以上から第5図に示されるように、 $2\sim 3\times 10^{18}\text{cm}^{-3}$ 程度に低下する。

このため、電極8のコンタクト抵抗が電極形成を接合形成直後に行った場合の約 $1\times 10^{-9}\Omega\cdot\text{cm}$ から約 $1\times 10^{-4}\Omega\cdot\text{cm}$ に上昇する。

-3-

第1図(a)~(d)は、本発明の一実施例を示す工程断面図である。

第1図(a)：

まず、比抵抗 $0.001\sim 0.018\Omega\cdot\text{cm}$ の単結晶シリコンからなるn型低比抵抗半導体基板1上に、n型の低不純物濃度(不純物濃度： $3\times 10^{15}\text{cm}^{-3}$ 程度)のエピタキシャル層2を膜厚 $5\mu\text{m}$ に成長させる。次に、加圧、加湿雰囲気中での熱酸化により、膜厚 $1.2\mu\text{m}$ の酸化シリコン膜6を形成する。その後、ホットエッチング法により接合を形成する部分の酸化膜を除去し、そこに薄い酸化シリコン膜(膜厚 $200\sim 600\text{\AA}$)を成長させる。この薄い酸化膜を介してリン(P)を加速エネルギー： 80keV 、ドーズ量： $1.8\times 10^{14}\text{cm}^{-2}$ でイオン注入し、その後決められた容量が得られるように高温(1100°C)でn型不純物の押し込みを行ってn型拡散層3を形成する。

第1図(b)：

続いて、ボロン(B)を加速エネルギー： 50

このことは、可変容量ダイオードの直列抵抗 r_s が増大することを意味し(上記数値例では、直径： $\phi=200\mu\text{m}$ の面積の電極に換算して直列抵抗 r_s が 0.003Ω から 0.32Ω に上昇する)、素子の特性上重大な欠点となる。

〔課題を解決するための手段〕

本発明による可変容量ダイオードは、n型低比抵抗半導体基板と、その上に形成されたn型エピタキシャル層と、このn型エピタキシャル層の表面領域内に形成されたp型拡散層と、を備えたものであり、そして容量値を合わせ込むために押し込み工程が施されたp型拡散層の表面の一部には浅く高濃度p型拡散層が形成されている。この高濃度p型拡散層はボロンを浅くかつ高濃度にイオン注入し、先の押し込み工程の熱処理温度より低い温度で不純物を活性化することによって形成されたものである。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

-4-

keV 、ドーズ量： $7\times 10^{15}\text{cm}^{-2}$ でイオン注入し、その後、所定の容量値が得られるように、先のn型不純物の押し込み温度より低い温度(1000°C 以下)でp型不純物を押し込んでp型拡散層4を形成する。

第1図(c)：

次に、弗化ボロン(BF₃)をp型拡散層4より浅くかつ高濃度にイオン注入し(加速エネルギー 70keV 、ドーズ量： $8\times 10^{14}\text{cm}^{-2}$)、その後、先のp型不純物の押し込み温度より低い 800°C でp型不純物を活性化し、厚さ： $0.2\mu\text{m}$ 、不純物濃度： $2.5\times 10^{20}\text{cm}^{-3}$ の高濃度p型拡散層5を形成する。

第1図(d)：

酸化シリコン膜6上に、低圧CVD法により膜厚 1000\AA の窒化シリコン膜7を形成し、その後ホットエッチング法により窒化シリコン膜7と酸化シリコン膜6とを選択的に除去して、高濃度p型拡散層5上にコンタクト窓を明ける。次に、アルミニウムの蒸着とホットエッチングにより電極8

-8-

-5-

を形成する。

このようにして形成された半導体素子の第1図(d)のA-A'線に沿った断面の不純物濃度プロファイルを示す。この濃度プロファイルを示す素子では、高濃度p型拡散層5以外の部分のプロファイルは、第5図に示した従来例のそれと同様であるので、従来例の可変容量ダイオードと同様の容量特性を呈するが、コンタクト部分の不純物濃度が従来例のそれに比べて2桁程度高くなっているため、コンタクト抵抗も2桁程度低下している。

上記実施例の(b)の工程において、イオン注入する不純物としてはPに替えてAs等の他のn型不純物を用いることができる。また、n型拡散層3は熱拡散法を用いて形成することもできる。さらに、望まれる可変容量ダイオードの特性によってはn型拡散層3そのものを形成しないでおくこともできる。

次に、第3図(a)～(c)を参照して本発明の他の実施例について説明する。

-7-

形成する。

[発明の効果]

以上説明したように、本発明の可変容量ダイオードは、所望の特性を得るような濃度プロファイルをもって形成されたp型拡散層の表面に浅くコンタクト用の高濃度p型拡散層を設けたものであり、そして、この高濃度p型拡散層は、先に形成されている拡散層の不純物プロファイルを崩さないようにしながら形成されるものであるため、本発明によれば、可変容量ダイオードの電圧-容量特性を所望のものに維持したまま、電極のコンタクト抵抗を、従って素子の直列抵抗を大幅に低下させることができ、素子の特性を向上させることができる。

4. 図面の簡単な説明

第1図(a)～(d)、第3図(a)～(c)は、それぞれ本発明の実施例を示す製造工程断面図、第2図は、第1図(d)のA-A'線に沿った断面の不純物濃度プロファイル、第4図は、従

第3図(a)：

ここまでの工程は第1図(a)、(b)の工程と同様である。

第3図(b)：

酸化シリコン膜6上に、低圧CVD法により膜厚1000Åの窒化シリコン膜7を形成し、その後ホットエッチング法により窒化シリコン膜7と酸化シリコン膜6と選択的に除去して、p型拡散層4上にコンタクト窓を明けける。このコンタクト窓を介して、非化ボロン(BF₃)をp型拡散層4より浅くかつ高濃度にイオン注入し(加速エネルギー70keV、ドーズ量： $8 \times 10^{14} \text{ cm}^{-2}$)、その後、先のp型不純物の押し込み温度より低い800℃でp型不純物を活性化し、厚さ：0.2μm、不純物濃度： $2.5 \times 10^{20} \text{ cm}^{-3}$ の高濃度p型拡散層5を形成する。

第3図(c)：

コンタクト窓によって露出しているシリコン基板の表面を軽くエッチングした後、アルミニウムを蒸着しこれにホットエッチングを施して電極8を

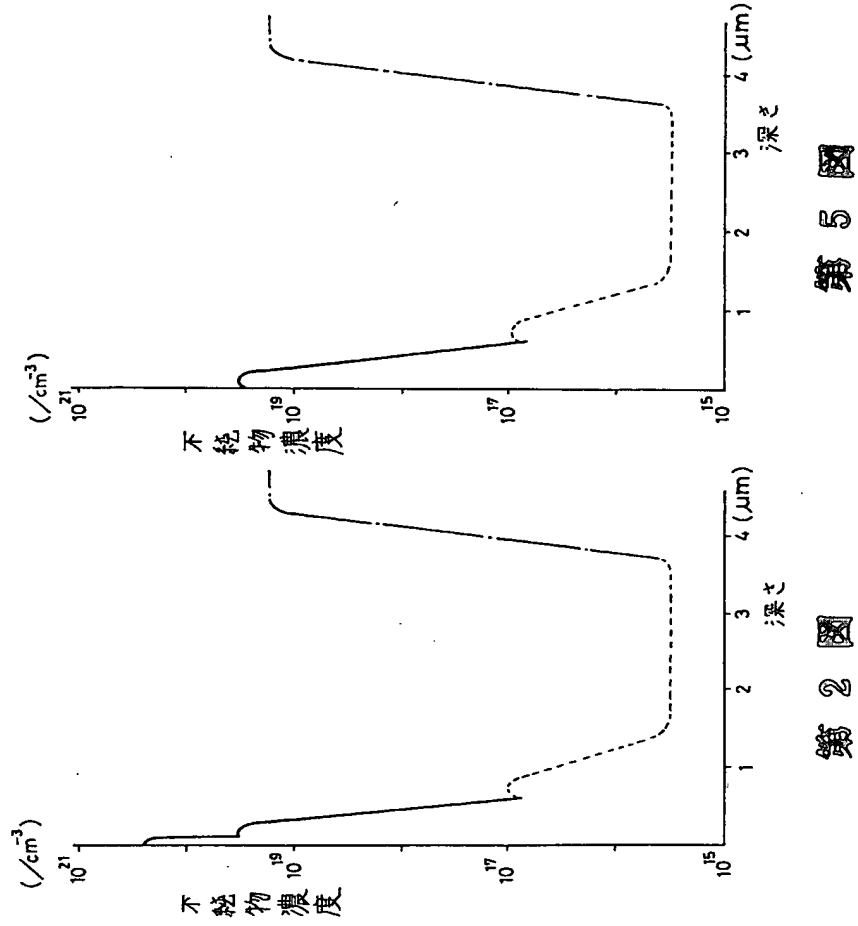
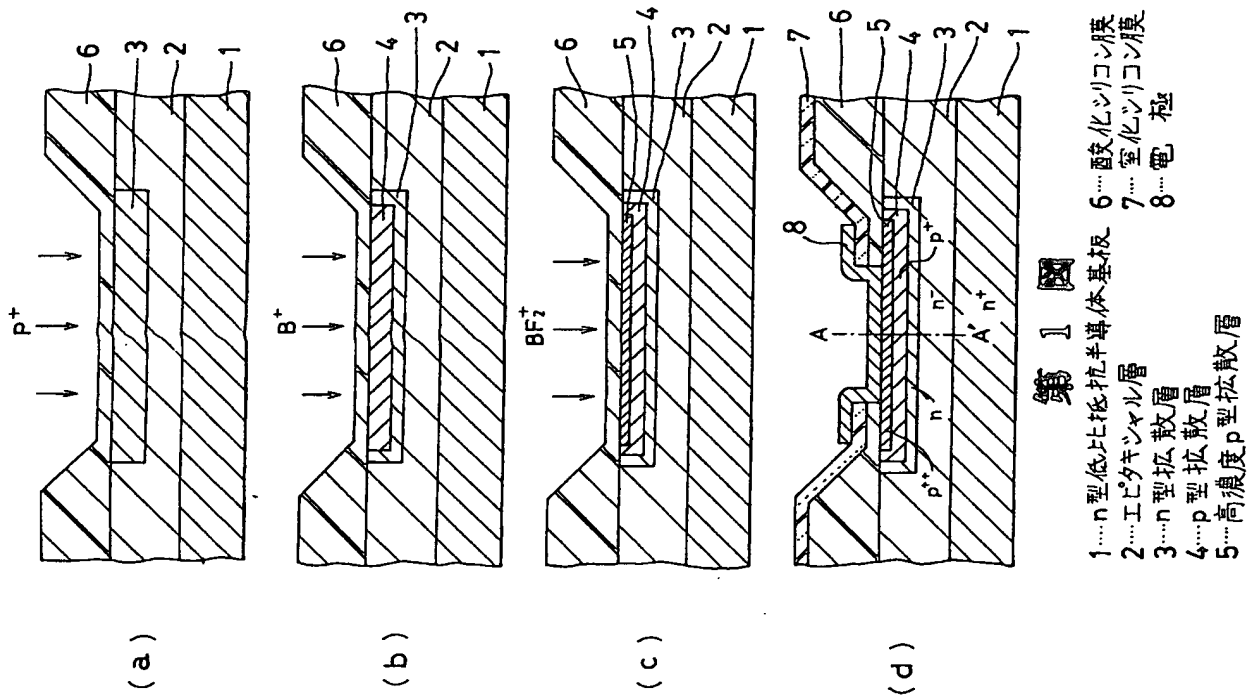
-8-

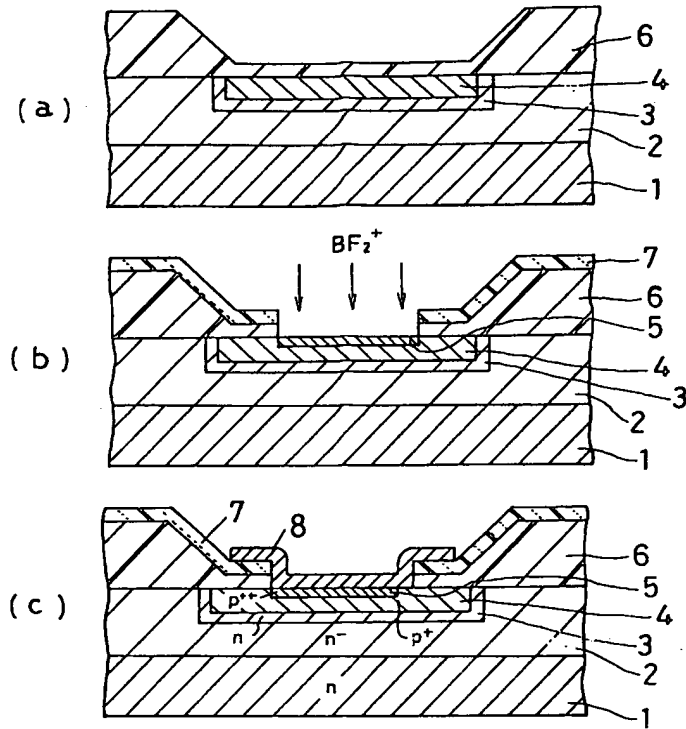
来例の断面図、第5図は、第4図のB-B'線に沿った断面の不純物濃度プロファイルである。

1…n型低比抵抗半導体基板、 2…エピタキシャル層、 3…n型拡散層、 4…p型拡散層、 5…高濃度p型拡散層、 6…酸化シリコン膜、 7…窒化シリコン膜、 8…電極。

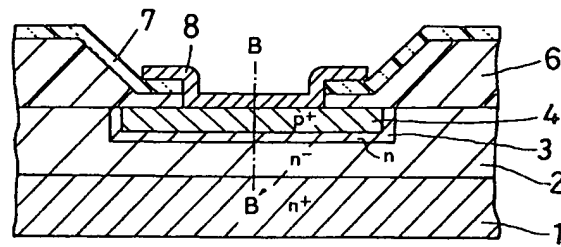
代理人 弁理士 尾身祐助

-9-





第 3 図



第 4 図